

Licenciatura em Engenharia Informática – Arquitectura de Computadores

Segundo teste – 22 de Maio de 2013 – Duração: 2 horas

Responda às questões no espaço reservado para o efeito após cada alínea, ou na última página caso necessite mais espaço. Apresente todos os cálculos que efectuar, e esclareça qualquer pressuposto que tenha de fazer para resolver uma questão.

Número		Nome	
--------	--	------	--

1. Considere o CPU de ciclo único sem pipeline que estudámos na cadeira, cujo esquema se encontra na página seguinte deste teste. A seguinte tabela lista os sinais de controlo para um **sub-conjunto** de cinco instruções da linguagem assembly do MIPS.

	add	ori	lw	sw	beq
RegDst	1	0	0	X	X
RegWr	1	1	1	0	0
ALUsrc	0	1	1	1	0
PCsrc	0	0	0	0	igual?
MemWr	0	0	0	1	0
MemToReg	0	0	1	X	X
ExtenderOp	X	0	1	1	X
ALUop	00	10	00	00	11

- a) Um aluno de AC propõe remover a linha de controlo “MemToReg”, sendo que o multiplexer que é controlado por esta linha passaria a ser controlado pela linha “ExtenderOp”. Esta alteração manteria a correcção da implementação **deste sub-conjunto** de instruções? Justifique sucintamente sem ultrapassar o espaço disponível (**desconta caso use mais de duas linhas**).

- b) A alteração proposta na alínea anterior estaria correcta quando consideradas todas as instruções do MIPS bem como possíveis extensões ao conjunto de instruções (em vez de se restringir à correcção do sub-conjunto acima)? Justifique sucintamente sem ultrapassar o espaço disponível (**desconta caso use mais de duas linhas**).

Número:

Nome:

d.3) Liste as novas linhas de controlo que foram adicionadas:

--

e) Qual os valores para todas as linhas de controlo do CPU quando esta instrução estiver a ser executada? Deve indicar os valores da respectiva linha (0 ou 1) ou X no caso de ser indiferente (don't care). Deve também adicionar à tabela abaixo as novas linhas de controlo ou indicar as alterações que fez nas linhas existentes.

PCSrc	RegDst	RegWr	ALUsrc	MemWr
0=PC+4; 1=PC+4+(sign_ext (immed)<<2)	0=rt (bits [20:16]); 1=rd (bits [15:11])	0=Não escrever; 1=escrever (registo RW)	0=RegB ; 1=imediato (bits menos signif. instr.)	0=Não escrever 1=escrever (memória)
valor: _____				

MemToReg	ExtenderOp	ALUop		
0=da ALU; 1=da memória	0=zero extend; 1=sign extend	00=ADD; 01=SUB; 10=OR;11=COMPARE		

f) Na versão do CPU com um desenho "pipelined" que estudámos na cadeira, esta instrução tem o potencial de gerar conflitos de dados no pipeline. Dê o exemplo de duas instruções consecutivas, em que a primeira a ser executada é a instrução nova (add2i), que ilustrem a existência de um conflito de dados caso não se use "forwarding".

1.	add2i _____ , _____ , _____
2.	

g) Usando forwarding, é necessário inserir bolhas no pipeline aquando da execução da sequência de instruções da ainea f? Justifique no espaço disponível (desconta se usar mais de duas linhas).

--

i) Considere as seguintes duas grandezas: velocidade do relógio do CPU e número de instruções executadas por segundo. A evolução do sistema MIPS para suportar emissão estática de duas instruções (VLIW) que estudámos permite aumentar a velocidade do relógio do CPU? Justifique. E permite aumentar o número de instruções por segundo? Justifique no espaço disponível.

velocidade do relógio:
número de instruções por segundo:

2. Considere uma arquitectura de um CPU com endereços virtuais de 12 bits e palavras de um Byte. Considere também que esta arquitectura usa uma cache associativa por conjuntos com **duas vias** multi-palavra, política de substituição FIFO, em que cada bloco de cache contém 16 Bytes.

a) Supondo que a capacidade da cache (ou seja, o total de dados armazenáveis em cache) é de 512 Bytes, quantos bits são usados para cada campo do endereço (tag, índice, e deslocamento)? Apresente e justifique os cálculos que efectuar.

b) Supondo que a cache inicialmente se encontrava vazia, isto é, todas as entradas eram inválidas, indique, para cada um dos acessos seguintes, se é um hit ou um miss, no caso do miss qual o tipo de miss (capacidade, conflito, ou obrigatório), e qual o conteúdo dos campos válido e tag (em hexadecimal) das duas primeiras linhas da cache após o acesso. [Caso não tenha resolvido a alínea anterior considere 4 bits para a tag, 4 para o índice, e 4 para o deslocamento.]

1 - Acesso ao endereço: B10 (hex)

hit/miss: tipo de miss:

conteúdo das duas primeiras linhas da cache após o acesso:

índice	Via 1		Via 2	
	válido?	tag	válido?	tag
0				
1				

2 - Acesso ao endereço: B11 (hex)

hit/miss: tipo de miss:

conteúdo das duas primeiras linhas da cache após o acesso:

índice	Via 1		Via 2	
	válido?	tag	válido?	tag
0				
1				

3 - Acesso ao endereço: A19 (hex)

hit/miss: tipo de miss:

conteúdo das duas primeiras linhas da cache após o acesso:

índice	Via 1		Via 2	
	válido?	tag	válido?	tag
0				
1				

Número:

Nome:

4 - Acesso ao endereço: 71E (hex)

hit/miss:

tipo de miss:

conteúdo das duas primeiras linhas da cache após o acesso:

índice	Via 1		Via 2	
	válido?	tag	válido?	tag
0				
1				

5 - Acesso ao endereço: B12 (hex)

hit/miss:

tipo de miss:

conteúdo das duas primeiras linhas da cache após o acesso:

índice	Via 1		Via 2	
	válido?	tag	válido?	tag
0				
1				

3. Considere o seguinte conteúdo para uma tabela de páginas de um processo num sistema de memória virtual com endereços virtuais de 32 bits, páginas de 4kBytes, e memória física onde cabem 2 páginas. Inicialmente, toda a memória virtual do processo está em disco ("swapped out").

a) Quantos bits são usados para o número de página virtual e para o deslocamento? Mostre os cálculos que efectuar.

b) Considere a seguinte sequência de acessos (endereços em hexadecimal):

ABCDEF00, AAAAAAAAA, ABCDEF02, CCCCCCCC, ABCDEF04, 44440000, CCCCCCCC.

Complete a tabela indicando para cada acesso que se gera se se verifica um page hit (letra H) ou uma falta de página (letra F) usando as políticas de substituição FIFO, LRU, e óptima.

Endereço acedido	FIFO	LRU	Óptima
ABCDEF00	F	F	F
AAAAAAAAA			
ABCDEF02			
CCCCCCCC			
ABCDEF04			
44440000			
CCCCCCCC			

c) Considere que, na alínea anterior, usava a aproximação ao LRU exacto denominada NRU, que usa o bit R (referenciada) que é colocado a "1" pelo hardware. Em que ponto da sequência (entre que par de acessos) deveria executar o processo do sistema operativo que limpa os bits R, de forma a que o acesso ao endereço ABCDEF04 não gere uma falta de página? Justifique.

Entre o acesso _____ e o acesso _____ .
Justificação:

4. Considere um controlador hardware (de um dispositivo de comunicação) que contém, entre outros, o registo (ou porto) com endereço 0x2d2, que permite ao CPU configurar quando é que o controlador em questão deve emitir interrupções.

a) Neste contexto implemente a função “ligaInterrupcoes” que deve activar (colocar a 1) o bit 5 do registo 0x2d2, configurando desta forma o controlador para emitir interrupções sempre que está disponível para receber um novo byte. (Note que cada bit do registo tem um significado, e para alterar um bit é necessário preservar os restantes.) Suponha disponíveis as funções:

```
unsigned char inportb(unsigned short port);
```

```
void outportb(unsigned short port, unsigned char value);
```

que permitem o acesso aos espaços de endereços dos controladores de entrada/saída.

```
void ligaInterrupcoes() {  
  
  
  
}
```

b) Suponha um CPU que não suporta interrupções. De que forma poderia ser programado o acesso a este dispositivo e qual a desvantagem principal desta alteração?

Espaço adicional para a resolução: