





Xilinx_ISE_DS_Win_14.7 CONFIGURAÇÃO DE FPGA

Sistemas Lógicos | DEE

Configurar FPGA

Neste tutorial são descritos os passos para configurar um FPGA após a criação do esquemático. Para realizá-lo é necessário instalar primeiro as ferramentas necessárias, descritas no tutorial "Instalação", ISE WebPack e Digilent Adept System.

Com o esquemático feito e sem erros clica-se em cima do projeto com *Botão direito do rato-> New Source* como demonstrado na Figura 1:



Em seguida escolhe-se um ficheiro *Implementation Constraints File* ao qual se dá um nome (Figura 2), mais uma vez ter atenção à opção "Add to projet", pois é fundamental que esteja selecionada.

Select Source Type	
Select source type, file name and its location. BMM File ChipScope Definition and Connection File Implementation Constraints File Implementation Constraints File MEM File Schematic User Document Verilog Module VHDL Library VHDL Package VHDL Test Bench Embedded Processor	File name: Map Location: C:\Users\Xilinx\Projects\Project1

Figura 2-Implementation Constraints File

Confirma-se as definições do novo projeto, (Figura 3):

	FU_1
New Source Wizard	
Summary	
Project Navigator will create a new skeleton source with the follo	owing specifications.
Add to Project: Yes Source Directory: C:\Users\ Barry D \Vilinx\Projects\Project1 Source Type: Implementation Constraints File Source Name: Map.ucf	
Association: esquema	
on benefitieren er en	
More Info	Finish Cancel

Figura 3 Confirmação das definições do ficheiro .ucf

Foi criado um ficheiro com a extensão .ucf onde será desenvolvido o código que descreve a associação das entradas/saídas criadas no esquemático com as entradas/saídas do FPGA que será configurado.

No ISE Project Navigator abre-se uma janela automaticamente após a confirmação ilustrada na Figura 3. Essa janela está em branco e é um ficheiro de texto como se vê na Figura 4:



Na Figura 5 encontra-se um exemplo de um código utilizado para descrever as entradas e saídas de um esquemático demonstrado na Figura 6.





Figura 6- Esquemático

No exemplo de código demonstrado na Figura 5 encontram-se 4 linhas de código com a mesma sintaxe. Cada uma destas linhas associa o primeiro nome entre aspas, que corresponde a uma entrada/saída do esquemático criado, com uma entrada/saída que se encontra no dispositivo FPGA. Por exemplo:

net "A" loc = "P11"

Significa que a entrada A do esquemático, que corresponde a uma das variáveis de entrada, irá ter a sua entrada correspondente no dispositivo FPGA no pino identificado como P11 (que está ligado a um interruptor no caso da nossa placa).

As entradas/saídas do FPGA, interruptores e botões/LEDs respetivamente, têm na placa as suas identificações junto dos mesmos.

[Nota]:Um sinal bastante importante é o sinal de clock. O FPGA contém vários sinais de clock internos. Um que está ligado ao pino "B8" que é o clock primário e outro no pino "M6" que é um clock secundário. Estes sinais são sinais integrados no FPGA. Tal como se associou no ficheiro .ucf a entrada A do esquemático ao pin "P11" (interruptor), pode-se associar um sinal de clock do esquemático ao clock integrado do FPGA num dos pinos "B8" ou "M6".

Para alguns casos é necessário utilizar um botão do FPGA como clock, para ver estados intermédios por exemplo. Nesses casos associa-se um dos quatro botões de pressão ao sinal de clock. Para isso é necessário utilizar as seguintes linhas de código no ficheiro .ucf:

net "clk" loc="XX";

net "clk" CLOCK_DEDICATED_ROUTE = FALSE;

Onde clk é o sinal de clock no esquemático e "XX" é o pin (de um botão) associado ao clock.

Deve-se associar sempre todas as entradas/saídas do esquemático com as entradas/saídas do FPGA.

Associadas todas as entradas/saídas clicar em *Implement Design*, opção que se encontra no separador *Design* como se vê na Figura 7:



Figura 7- Implement Design

Se tudo estiver sem erros irá aparecer uma confirmação como apresentado na figura seguinte:

Duplo clique na opção *Generate Programming File* e se estiver tudo certo aparecerá a confirmação nessa opção também como ilustrado na Figura 8:



Figura 8 Geração do ficheiro .bit

A opção *Generate Programming File* gera um ficheiro de extensão .bit que contém a informação a ser passada ao dispositivo FPGA.

O ficheiro é gerado onde foi criado o projeto, Figura 9.

Name	Date modified	Туре	Size
🌡 _ngo	04-09-2013 01:23	File folder	
🍌 _xmsgs	04-09-2013 01:25	File folder	
🎉 ipcore_dir	03-09-2013 23:30	File folder	
退 iseconfig	03-09-2013 23:30	File folder	
📕 xlnx_auto_0_xdb	04-09-2013 01:23	File folder	
🍌 xst	04-09-2013 01:23	File folder	
esquema.bgn	04-09-2013 01:26	BGN File	5 KB
📄 esquema.bit	04-09-2013 01:26	BIT File	72 KB
esquema.bld	04-09-2013 01:23	BLD File	1 KB
esquema.cmd_log	04-09-2013 01:25	CMD_LOG File	1 KB
esquema.drc	04-09-2013 01:25	DRC File	1 KB
esquema.jhd	04-09-2013 01:07	JHD File	1 KB
📄 esquema.lso	04-09-2013 01:23	LSO File	1 KB
esquema.ncd	04-09-2013 01:23	NCD File	3 KB
esquema.ngc	04-09-2013 01:23	NGC File	1 KB
📄 esquema.ngd	04-09-2013 01:23	NGD File	2 KB
📄 esquema.ngr	04-09-2013 01:23	NGR File	1 KB
esquema.pad	04-09-2013 01:23	PAD File	6 KB
🗋 esquema.par	04-09-2013 01:23	PAR File	7 KB
esquema.pcf	04-09-2013 01:23	PCF File	1 KB
esquema.prj	04-09-2013 01:23	PRJ File	1 KB

Figura 9- Ficheiro .bit

Caso não se veja a extensão do ficheiro, o ".bit", veja-se no separador Type(Tipo) que o ficheiro é designado como *BIT File*.

No caso de estar a utilizar a máquina virtual cedida pelos docentes de Sistemas Lógicos, saltar para a Página 9.

Está terminado o trabalho com o software ISE Project Navigator.

Abre-se o software Adept da Digilent para isso clica-se no botão Iniciar do Windows e corre-se o software Adept como ilustrado na Figura 10:



Figura 10- Software Adept

Sem o dispositivo BASYS2(FPGA) ligado, o software não encontra nenhum dispositivo e mostra a janela ilustrada na Figura 11:



Figura 11- Janela do software Adept sem dispositivo ligado

Ao ligar o dispositivo ao computador via usb, ligação fornecida com o kit, este é detetado pelo software automaticamente e aparecerá como opção no campo Connect, como se demonstra na Figura 12:

	Connect: Basys2 Product: Basys2	•
Settings		
Application Settings V Auto Initalize SC Hide Status Window Slow Programming Speed		
Clear Status Window Clear File History		
Device Manager		
==== Digilent Adept ===== Adept System Rev 2.7 Adept Application Rev 2.4.2		
opyright © 2010		

Figura 12- BASYS2 detetado

Quando selecionado o dispositivo BASYS2 na opção *Connect,* é aberta automaticamente a janela da Figura 13:

onfig	Test	Register	1/0 File 1/0	Product	Settings	250	
FP	GA				- Brov	NSE	Program
ALSS							
- EDI					Deserve		the second se
XCF	025				• Brov	wse	Program
XCF	025				Brow	vse	Program
XCF	025					vse	Program
XCF	025				 Brow 	vse	Program
XCF	025		Initiali	ze Chain		wse	Program
d inform	mation load	ed.	Initiali	ze Chain)	wse	Program

Figura 13- Basys ligado

Clicar em *Browse*... da opção FPGA (botão destacado a azul na Figura 14) e escolher o ficheiro de extensão .bit gerado anteriormente, como demonstra a Figura 14:

		····
Name	Date modified	Туре
ngo	04-09-2013 01:23	File folder
xmsgs	04-09-2013 01:25	File folder
腸 ipcore_dir	03-09-2013 23:30	File folder
퉬 iseconfig	03-09-2013 23:30	File folder
📕 xinx_auto_0_xdb	04-09-2013 01:23	File folder
🎉 xst	04-09-2013 01:23	File folder
esquema.bit	04-09-2013 01:26	BIT File
¢[m	
	Name 	Name Date modified ngo 04-09-2013 01:23 mmsgs 04-09-2013 01:25 ipcore_dir 03-09-2013 23:30 iseconfig 03-09-2013 23:30 iseconfig 03-09-2013 01:23 ixst 04-09-2013 01:23 ixst 04-09-2013 01:23 ixst 04-09-2013 01:26

Figura 14- Seleção do ficheiro .bit

Aparecerá aviso demontrado na Figura 15:



Figura 15- Aviso

Clicar Yes.

Agora é só clicar em *Program*, botão destacado na Figura 16:

fig Te	st	Register I/O	File I/O	I/O Ex	Set	tings	
FPGA (C3S250E		esquema.bit			•	Browse	Program
PROM] [•	Browse	Program
PROM XCF02S					•	Browse	Program
PROM XCF02S][•	Browse	Program
PROM XCF02S					•	Browse	Program

Figura 16- Program

O aviso demonstrado na Figura 15 voltará a aparecer, é só clicar Yes e o FPGA fica programado.

Os próximos passos apenas se aplicam caso esteja a utilizar a máquina virtual cedida pelos docentes de Sistemas Lógicos, pois servem para substituir a utilização do Adept, programa que não é compatível com os sistemas operativos Linux.

Após ser criado o ficheiro ".bit", temos de garantir que a placa se encontra ligada à máquina virtual.

SL-Xilinx [Running] - Oracle V	M VirtualBox	
File Machine View Input	Devices Help	
>	Optical Drives	ISE Project Navigator (P.20131013) - /home/sl/
File Edit View Project	🗗 Network	• yout <u>H</u> elp
🗋 ờ 🗟 🏟 😓 🐰 🗆	USB	🕨 🔏 USB Settings 📔 🕨 😰 📌 📗 🖓
Design	Webcams Should Feldere	A4TECH USB Device [0102]
View 🐏 Implementa	Shared Polders	Digilent Adept USB Device
Hierarchy	Shared Clipboard	 Unknown device 2232:1018 [0001]
🛅 🔄 🤠 proj 1	Drag and Drop	 HitachiGST Touro Mobile 3.0
□ □ 1 xc3s250e-4cp13	🔗 Insert Guest Additions CD image	Unknown device 8087:07DA [7869]
A Map.ucf	* * * * *	

Figura 17 - Placa não ligada à maquina virtual

Caso apareça como na figura acima, clicar no nome da placa, de modo a ligá-la à máquina virtual.



Figura 18 - Placa ligada à máquina virtual

No caso de aparecer o sinal ao lado do identificador da placa, como no exemplo acima, a placa já está ligada à máquina virtual.

O próximo passo é iniciar a ferramenta "iMPACT", disponível na barra de menu "Tools"



Figura 19 - Ferramenta a utilizar

Se a próxima janela aparecer, esqueceu-se de gerar o ficheiro ".bit", apenas precisamos de clicar em "Yes" e este ficheiro é gerado automaticamente.

	Project Navigator - + ×
৾	Input data for Configure Target Device is out of date. Would you like to run the necessary processes to update this data? Select No to launch the tool on the out of date design.
	Yes Cancel

Figura 20 - Faltou criar o ficheiro ".bit"

Na próxima janela apenas é preciso clicar em "OK" para continuar.



Figura 21 - Clicar em OK

Agora que a ferramenta "iMPACT" está aberta, precisamos ligá-la à placa, para isso faça duplo-click em "Boundary Scan".

	1. 2
ISE IMPACI (P.20131013)	- + ×
File Edit View Operations Output Debug Window Help	
IMPACT Flows HILL + X	
🖶 🕄 Boundary Scan	
SystemACE	
a Create PROM File (PROM File	
IMPACT Processes	
Console	н Г 5 Х
	*
	•
Console C Errors A Warnings	

Figura 22 - Duplo click em Boundary Scan

O próximo passo é clicar com o botão direito do rato e em seguida em "Initialize Chain".



Figura 23 - Clicar com o botão direito e em seguida initialize Chain

1	ISE IMPACT (P.20131013) - [Boundary Scan]	- + ×
File Edit View Operations Outp	out Debug Window Help	_ 8 ×
	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	
Boundary Scan	Right click device to select operations	
SystemACE		
- 📄 Create PROM File (PROM File		
	vr3e250a vr102e	
	bypass bypass	
	TDO	
MPACT Processes	×	
Available Operations are:		
	🚱 Auto Assign Configuration Files Query Dialog 🛛 + 🗙	
	Do you want to continue and assign configuration files(s)?	
	E Don't show this message again save the setting in preference	
	Poor carlow dias message again, save die security in preference.	
	<u>Y</u> es <u>N</u> o	
	Be overlaary Scen	
Console		н Г • Х
DINFO: iMPACT: 501 - '1': Added	Device xcf02s successfully.	
'1': : Manufacturer's ID = X:	ilinx xc3s250e, Version : 1	
DINFO: IMPACT: 1777 -	DC/ICC/anartan2-(Jata/un2-250- had	
DINFO: iMPACT: 501 - '1': Added	Device xc3s250e successfully.	
done.		
PROGRESS_END - End Operation		
Elapsed time = 1 sec.		
		<u> </u>
Console Verrors A Warnin	Igs	
	Configuration Digilent Basys2-250	4000000

Automaticamente a ferramenta irá perguntar se queremos configurar a placa. Clicar em "Yes".

Figura 24 - Clicar em Yes

O próximo passo é associar o ficheiro ".bit" à placa. Clicar em "Open".

Г		10000000 ¹					
		Assign New Configuration File					- + ×
	Look in:	🚞 /home/sl/Documents/proj1	-	G	Θ	0	🙈 🔃 🔳
0	Compu	ngo xmsgs ipcore_dir iseconfig xlnx_auto_0_xdb xst esquema.bit					
							<u>O</u> pen
A -	Hie <u>n</u> ame:	esquema.bit					Cancel
D							Bypass
7 A	Files of type:	All Design Files (*.bit *.rbt *.nky *.isc *.bsd)				•	Cancel All

Figura 25 - Clicar em Open

Em seguida clicar em "No".

	Attach SPI or BPI PROM	-	+ >
?	This device supports attached Flash PR Do you want to attach an SPI or BPI PR	ROMs. OM to this de	evice
	Yes <u>N</u> o		

Figura 26 - Clicar em No

Clicar em "Bypass".

8	Assign New Configuration File		- + ×
Look in:	home/sl/Documents/proj1	000	
sl	<pre>ngoxmsgsipcore_diriseconfigxlnx_auto_0_xdbxst</pre>		
			Open
File <u>n</u> ame:			Cancel
			Bypass
Files of type: A	ll Design Files (*.mcs *.isc *.bsd)		Cancel All

Figura 27 - Clicar em Bypass

Clicar em "OK".



Figura 28 - Clicar em OK

Neste ponto, já temos todos os ficheiros associados. Só falta configurar o hardware, para isso temos de clicar duas vezes em "Program", destacado a azul na seguinte imagem.

	ISE IMPACT (P.20131013) - [Boundary Scan]	- + ×
File Edit View Operations Output	it Debug <u>W</u> indow <u>H</u> elp	×
	F #] T= T] / N	
MPACT Flows H P X X	TD) Example Example xch2000 xcD25 TDO	
MD4 CT Deserves		
MPACT Processes H F 5 x		
Program		
Get Device ID		
Get Device Signature/Usercode		
Read Device Status	Identify Succeeded	
One Step XSVF		
	Boundary Scan	
Console		4 F h X
done. PROGRESS END - End Operation.		-
Elapsed time = 1 sec.		
'1': Loading file '/home/sl/Do	ocuments/projl/esquena.bit'	
DINFO: iMPACT: 2257 - Startup Cle	ock has been changed to 'JtagClk' in the bitstream stored in memor	Y.
but the original bitstream fil	le remains unchanged.	
Userib read from the bitstream	n file = UXFFFFFFFF.	
pINF0:iMPACT:501 - '1': Added I	Device xc3s250e successfully.	
		_
		•
4		•

Figura 29 - Clicar duas vezes em Program

Irá aparecer uma barra de Status com o estado da configuração.



Figura 30 - Status da Configuração

Quando a configuração estiver concluída ira aparecer a imagem seguinte:

5 😼	ISE IMPACT (P.20131013) - [Boundary Scan]	- + ×					
File Edit View Operations Output	t Debug <u>W</u> indow <u>H</u> elp	_ & ×					
	1 20 3 5 5 1 2 12						
IMPACT Flows							
Boundary Scan B SystemACE Create PROM File (PROM File WebTalk Data	TDI 2007 200						
	xc3z20e xc102s esquema.bit bypass TDO						
IMPACT Processes							
Available Operations are:							
Program							
Get Device ID							
Get Device Signature/Usercode							
Read Device Status	Program Succeeded						
One Step SVF One Step YSVE	Program Succeeded						
- One step XSVP							
	Boundary Scan						
Console		нг ъх					
LCK cycle: NoWait		<u>^</u>					
done.	star valuer						
DINFO: IMPACT - 0011 0111 1011 1	INFORMATIZIT - Status register values: INFORMACT - 0010 1011 1011 1000 0000 0000 0000						
INFO: MPACT:579 - '1': Completed downloading bit file to device.							
DINFO:iMPACT:188 - '1': Programming completed successfully.							
LCK cycle: NoWait		-					
DINFO: MPACT - '1': Checking done pindone.							
1'1': Programmed successfully.							
Elapsed time = 6 sec.		-					
•		<u> </u>					
📋 Console 🙆 Errors 🔔 Warning:	s						
	Configuration Digilent Basys2-250 10	00000					

Figura 31 - Configuração finalizada

Depois de realizados todos estes passos, a placa está pronta a utilizar.