

Departamento de Engenharia Eletrotécnica

***Mestrado integrado em Engenharia Informática***

Sistemas Lógicos – 2º teste – 16/12/2017

Duração: 1h20mn | Tolerância: 10mn | Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas **Responda em folhas separadas aos grupos de questões**

**Q1 ( 3 + 3 valores )**

**a)** Utilizando um flip-flop do tipo T, apresente, justificando, o circuito necessário para obter um flip-flop do tipo D com entrada de *set* síncrono (S de *Set*). *Nota: Quando S=0 o flip-flop funciona como um vulgar flip-flop; quando S=1 o flip-flop transitará para o estado 1 na saída.*

**b)** Considere o circuito sequencial síncrono segundo o esquemático apresentado abaixo (os flip-flops são sensíveis ao flanco ascendente do sinal de relógio). Tomando o estado inicial Q1Q0=00, complete o diagrama temporal justificando cada evolução dos sinais de saída:

**Q2 ( 3 + 3 valores )**

**a)** Pretende-se desenvolver um sistema síncrono que detecta a sequência 10010, presente numa entrada X (atualizada ao ritmo do sinal de relógio).

Uma saı́da Z fica activa (Z = 1) sempre que a sequência for detectada. Considere como de interesse detetar sobreposições entre sequências, isto é, a saída de uma sequência (completa ou parcial) pode contribuir para a sequência seguinte. Apresente um diagrama de estados para o detector de sequências descrito. **b)** Pretende-se realizar um registo com 2 bits utilizando flip-flops D que tenha vários modos de funcionamento, de acordo com duas variáveis de entrada, X e Y. Quando X=Y=0, o registo deve manter o valor; quando X=0, Y=1, o registo deve realizar o carregamento paralelo de 3 variáveis de entrada (A,B); quando X=1, Y=0, o registo deve carregar ‘0’ para todos os flip-flops; quando X=1, Y=1, o registo deve carregar ‘1’ para todos os flip-flops. Apresente o diagrama lógico associado e justifique.

**Q3 ( 2,5 + 3 + 2,5 valores )**

Pretende-se projetar um contador síncrono de 3 bits (Q2, Q1, Q0), que contará em módulo 5, utilizando os estados de contagem 0, 6, 5, 4, 3 (em decimal, por esta ordem) e contendo uma entrada X, que sempre que igual a ‘1’ faz o contador saltar para o estado com valor 7 e quando igual a ‘0’ volta ao estado 0 e permite que a contagem se proceda de acordo com a sequência pré-definida. Nota: as saídas, que representam o estado de contagem em binário, coincidem com as variáveis de estado.

**a)** Apresente a tabela de transição de estados codificados. Importante: considere como don’t care as situações não previstas na especificação do contador!

**b)** Utilizando flip-flops do tipo D, apresente tabelas de verdade das entradas dos flip-flops, mapas de Karnaugh associados e expressões simplificadas (nota: não necessita apresentar o esquemático do circuito). Importante: considere como don’t care as situações não previstas na especificação do contador! **c)** Considere que devido a um contacto deficiente o sistema sofre uma avaria e o flip-flop Q0 (menos significativo) fica com a entrada sempre ligada a ‘0’. Refira, justificadamente, qual seria agora a sequência de contagem a partir do estado 0 considerando esta situação, tendo em conta a resolução da alínea anterior.