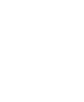
Departamento de Engenharia Electrotécnica

***Mestrado integrado em Engenharia Informática***

Unidade Curricular de Sistemas Lógicos – 2º teste (versão B) – 19/12/2014 Duração: 1h20mn | Tolerância: 10mn | Sem consulta

B

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas **Responda em folhas separadas aos grupos de questões**

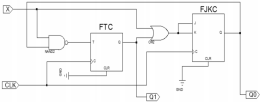
**INDIQUE QUAL A PROVA (A OU B) EM TODAS AS FOLHAS QUE ENTREGAR**

**Q1 ( 3,5 + 3 valores )**

a) Utilizando um flip-flop do tipo XY (ver tabela de funcionamento do flip-flop XY ao lado), apresente, justificadamente, a lógica adicional necessária para obter um flip-flop de tipo D.

| � � | ��!� ��!� |
| --- | --- |
| 0 0 | �! �! |
| 0 1 | 0 1 |
| 1 0 | �! �! |
| 1 1 | 1 0 |

b) Considere o circuito sequencial síncrono representado na figura. Considerando o estado inicial Q1Q0 = 00, complete o seguinte diagrama temporal.

**Q2 ( 4,5 + 2,5 valores )**

Pretende-se projectar um contador síncrono com função FWD/REV (forward/reverse, conta em frente / conta para trás), com 3 bits, que contará em módulo 6, utilizando os estados de contagem 6, 5, 4, 3, 2 e 1 (em decimal, por esta ordem). A função FWD/REV é realizada através da entrada síncrona REV, que quando igual a 1 faz o contador contar para trás (i.e. em sentido inverso à ordem descrita) e quando igual a 0 conta para a frente (i.e. segundo a ordem). Nota: As saídas, que representam o estado de contagem em binário, coincidem com as variáveis de estado.

a) Utilizando flip-flops do tipo D, apresente tabelas de verdade das entradas dos flip-flops, mapas de Karnaugh associados e expressões simplificadas (não necessita apresentar o esquema lógico do circuito). IMPORTANTE: Considere como don’t care as situações não previstas na especificação do contador! b) Comente, justificadamente, acerca da coerência do contador projetado anteriormente com o modelo de funcionamento expectável no caso em que os flip-flops estiverem todos a 0 (por exemplo após a alimentação) para REV=1 (espera-se contar para trás) e REV=0 (espera-se contar para a frente).

**Q3 ( 3,5 + 3 valores )**

a) Pretende-se desenvolver um sistema que detecta uma das sequências 0100 | 0110 presente numa entrada Y. Uma saída Z fica activa (Z = 1) sempre que **qualquer uma das sequências for detectada**. Desenhe o diagrama de estados deste sistema, considerando possíveis sobreposições entre sequências.

b) Considere o diagrama de estados da figura imediatamente ao

X"

lado. Apresente a tabela de codificação de estados e a tabela de transição de estados codificada.

A=0"

A=1"

B=1"

W"

T"

Y" Z"

B=0"

V"