

Responda em folhas separadas aos diferentes grupos de questões

Q1 (2,5 + 3,0 + 3,0 valores) -----

a) Apresente a tabela de verdade da função Z que depende de quatro variáveis A, B, C e D. A função apresenta o valor lógico verdadeiro sempre que a expressão $2*(A+B) < 2*C+D$ se verifique.

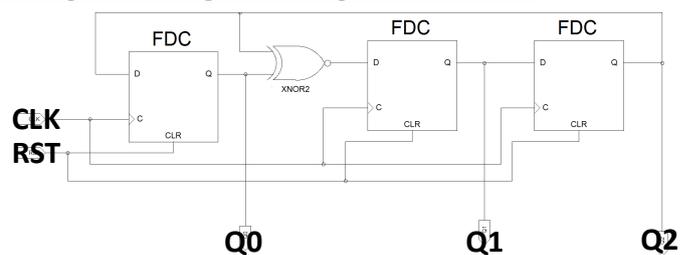
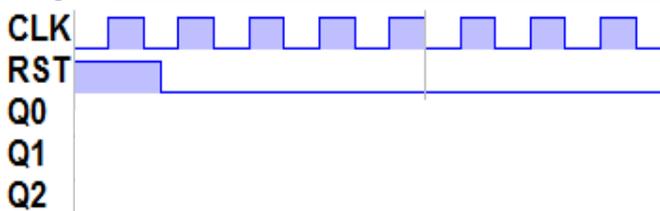
b) Considere a função $f(A,B,C,D) = \sum(3,4,5,9,10,11,13,14,15)$. Recorrendo à utilização de multiplexers (terá que utilizar pelo menos um) e lógica adicional (se necessária), implemente a função referida. Pode utilizar qualquer tipo de multiplexer, sendo preferível a solução que utilize menor número de portas considerando que um MUX de N variáveis de seleção tem 2^N+1 portas lógicas.

c) Quer-se construir um sistema digital para realizar uma operação aritmética F envolvendo quatro números A, B, C e D, com A e D de um bit e B e C de dois bits de representação (índice 1 = bit mais significativo; índice 0 = bit menos significativo): $F = (B + C) \times A + D = ([B_1B_0] + [C_1C_0]) \times A + D$. Tendo disponíveis blocos semi-somadores, somadores-completos e alguma lógica adicional que considere necessária, apresente e justifique um diagrama de blocos que realize a função descrita, privilegiando a solução com menor número de recursos considerando que o número de portas de um somador-completo é de 5 e de um semi-somador é de 2. Nota: um bloco semi-somador possui dois bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada; um bloco somador-completo possui três bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada.

Q2 (2,75 + 2,75 + 3,5 + 2,5 valores) -----

a) Pretende-se desenvolver um sistema para detetar sequências do tipo 00^*1^+0 presentes numa entrada X, em que 0^* significa zero, uma ou mais ocorrências do símbolo 0 e 1^+ significa uma ou mais ocorrências do símbolo 1. A saída Z deve tomar o valor 1 quando uma sequência é detetada. Não são de considerar sobreposições entre sequências válidas. Apresente um diagrama de estados para o detetador de sequência.

b) Considere o circuito sequencial síncrono representado na figura em anexo. Os elementos FDC são flip-flops do tipo D(ata) com entrada assíncrona de Clear (CLR) e activos ao flanco asecendente do sinal de relógio. Considerando o estado inicial $Q_0Q_1Q_2 = 111$, complete o diagrama temporal associado.



c) Pretende-se projetar um contador síncrono de 2bits contendo duas entradas A e B que implementam o seguinte modo de funcionamento: se A=1 o contador conta pela ordem: 0, 1, 3, ... e quando A=0 conta pela ordem: 0, 3, 1, ...; se B=1 faz 'reset' seguindo para o estado de contagem '0' e quando B=0 conta normalmente (segundo a ordem determinada pela entrada A); a entrada B é prioritária em relação à entrada A. Nota: as saídas, que representam o estado de contagem em binário, coincidem com as variáveis de estado (codificação de estados). Utilizando um flip-flop do tipo D para o bit menos significativo e outro do tipo JK para o bit mais significativo do contador, apresente tabelas de verdade das entradas dos flip-flops, mapas de Karnaugh e expressões simplificadas associadas.

d) Considere o diagrama de estados apresentado na figura. Proponha uma codificação de estados para a máquina de estados descrita através de uma tabela de codificação de estados e a apresente a tabela de transição de estados codificada correspondente.

