

Mestrado integrado e Licenciatura em Engenharia Informática

Disciplina de Sistemas Lógicos – 1º teste (recurso) – 18/01/2014

Duração: 1h20mn | Tolerância: 10mn | Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

Responda em folhas separadas aos dois grupos de questões

Q1 (3 + 3,5 + 3,5 valores)

- a) Apresente uma **expressão equivalente utilizando unicamente portas NAND de 2 entradas** que implemente $f(a, b, c) = \bar{a}.b + \bar{c}.a + \bar{b}.c$.
- b) Considere que tem cinco variáveis ABCD|E que compõem um código com 4 bits mais paridade. O bit ‘E’ (bit de paridade) representa a paridade (par=’0’; impar=’1’) do número de transições (de zero para um e de um para zero) na sequência ABCD. Nota: A paridade é vulgarmente utilizada para detectar erros nas transmissões já que o seu cálculo é extremamente simples. Apresente a **tabela de verdade da função ‘E’** que determina o código de paridade descrito.
- c) Considere a função:

$$f(X,P,T,O) = \Sigma(0,5,10,12,13) + d(2,3,6,8,9)$$

Obtenha uma expressão simplificada apresentada na forma de uma **soma de produtos** através de mapa de Karnaugh.

Q2 (3 + 3,5 + 3,5 valores)

- a) Considere que se pretende representar números com sinal utilizando 6 bits. **Apresente a representação de -10 em complemento para um e também em complemento para dois e para ambos os casos refira qual o intervalo de representação de números possível com 6 bits.**
- b) Considere a função $f(A, B, C) = \Pi(0,2,3,7)$. Recorrendo à utilização de **descodificadores (terá que usar pelo menos um descodificador) e lógica adicional (se necessário)**, implemente a função referida. Pode utilizar qualquer tipo de descodificador, sendo **preferível a solução que utilize globalmente o menor número de portas lógicas**, considerando que um descodificador de N variáveis de entrada tem o equivalente a 2^N portas lógicas.
- c) Pretende-se construir um sistema para realizar uma operação aritmética envolvendo quatro números de entrada, A, B, C e D, onde A, B e D têm um bit e C tem dois bits, C_1 (mais significativo) e C_0 (menos significativo): **$F=A \times (B + [C_1 C_0]) + D$** . Tendo disponíveis blocos semi-somadores, somadores-completos e alguma lógica adicional que considere necessária, **apresente e justifique um diagrama de blocos que realize a função descrita, privilegiando a solução com menor número de recursos.** Nota: um bloco semi-somador possui dois bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada; um bloco somador-completo possui três bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada.