

**Lic. Eng. Informática – Mestr. Int. Eng. Micro e Nanotecnologias**

Disciplina de Sistemas Lógicos – 2º teste – 14/12/2011

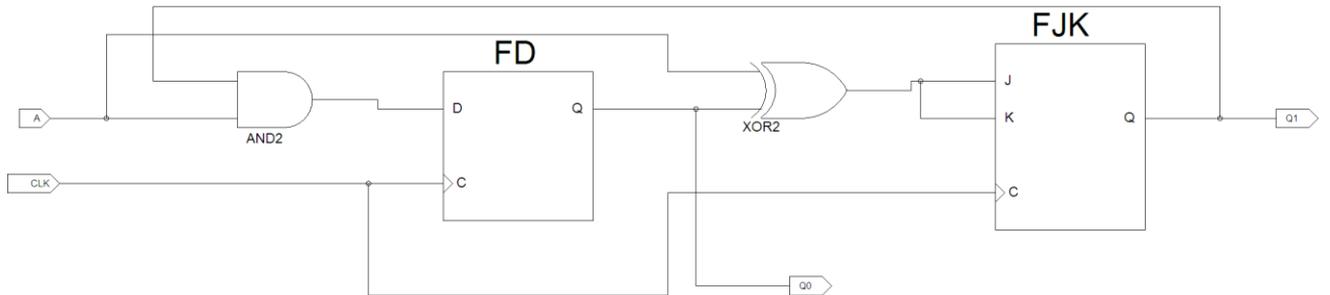
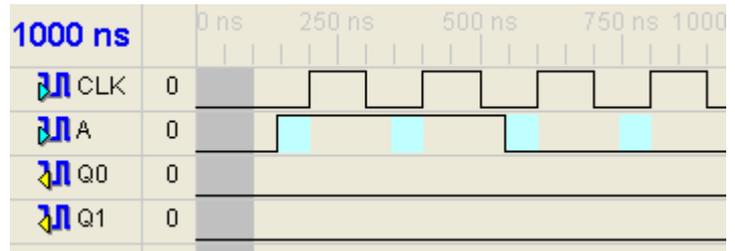
Duração: 1h20mn / Tolerância: 10mn / Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

**Responda em folhas separadas aos vários grupos de questões**

**Q1 ( 3 + 3 valores )**

- a) Utilizando um flip-flop do tipo D, apresente a lógica adicional necessária para obter um flip-flop de tipo JK.
- b) Considere o circuito sequencial síncrono representado pelo esquemático (abaixo). Considerando o estado inicial  $Q_0Q_1 = 00$ , complete o diagrama temporal (ao lado).



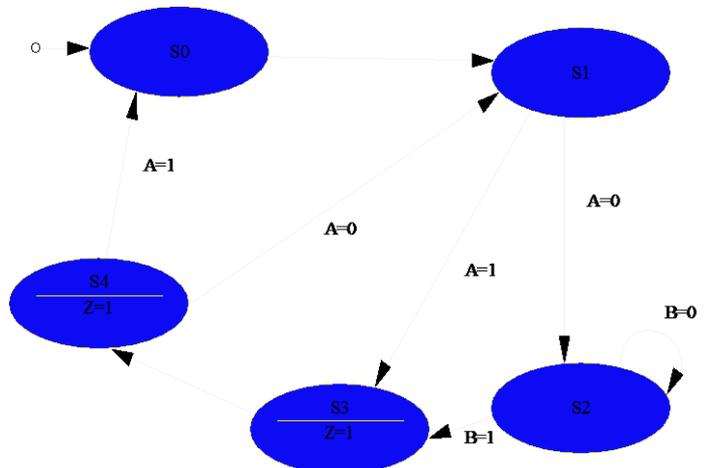
**Q2 ( 2 + 3,5 + 2,5 valores )**

Pretende-se projectar um contador síncrono, com 3 bits, que contará em módulo 6, utilizando os estados de contagem 0, 1, 2, 3, 5 e 7 (em decimal), sendo o estado 0 o estado inicial de contagem. Nota: As saídas coincidem com as variáveis de estado.

- a) Apresente tabela de transição de estados codificados.
- b) Utilizando flip-flops do tipo T, apresente as tabelas das entradas dos flip-flops, mapas de Karnaugh associados e expressões simplificadas (não é necessário apresentar o esquema lógico).
- c) Considere que o contador arranca no estado 6 (devido a mau funcionamento). Indique a sequência de contagem resultante da solução apresentada na alinea anterior (até atingir repetição). Justifique a resposta.

**Q3 ( 3,5 + 2,5 valores )**

a) Pretende-se desenvolver um sistema para detectar sequências do tipo: ('0100' | '0110'). A saída Z deve tomar o valor 1 quando qualquer uma das sequência é detectada. Considere que são de considerar sobreposições entre sequências válidas (isto é, parte de uma sequência pode contribuir para a sequência seguinte). Apresente um diagrama de estados para o detector de sequência.



b) Considere o diagrama de estados esquematizado na figura (ao lado). Apresente a tabela de transição de estados e saídas associado.