

Lic. Eng. Informática – Mestr. Int. Eng. Micro e Nanotecnologias

Disciplina de Sistemas Lógicos – Exame Época Recurso – 30/1/2012

Duração: 1h50mn Tolerância: 10mn Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

Responda em folhas separadas aos vários grupos de questões

Q1 (2 + 2,25 + 2,25 valores)

Considere a função $f(A, B, C, D) = \sum (1, 2, 3, 4, 5, 11) + d(7, 9)$.

- a) Apresente a expressão simplificada utilizando mapas de Karnaugh.
- b) Recorrendo à utilização de multiplexers e lógica adicional se necessário, implemente a função referida. Pode utilizar qualquer tipo de multiplexer, sendo preferível a solução que utilize menor número de portas (considerando que um MUX de N variáveis de selecção tem $2^N + 1$ portas).
- c) Recorrendo à utilização de decodificadores com ou sem entrada de habilitação (“enable”) e lógica adicional se necessário, implemente a função referida. Pode utilizar qualquer tipo de decodificador, sendo preferível a solução que utilize menor número de portas (considerando que um decodificador de N variáveis de entrada tem 2^N portas).

Q2 (2 + 2 valores)

- d) Pretende-se realizar um sistema que implemente a expressão **aritmética** $a * b - c$, em que a , b e c são números de um bit cada, “*” é a operação aritmética de multiplicação e “-” representa a operação aritmética de subtracção. Determine o número de bits necessários para representar a saída em complemento para 1 ou em complemento para dois e apresente a tabela de verdade associada.
- a) Tendo disponíveis blocos semi-somadores, somadores-completos, semi-subtractores e subtractores-completos e alguma (pouca) lógica adicional que considere necessária, apresente e justifique um diagrama de blocos que realize a função descrita. Nota: um bloco semi-somador possui dois bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada; um bloco somador-completo possui três bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada. Os blocos semi-subtractor e subtractor-completo comportam-se de forma semelhante para a subtracção.

Q3 (2 + 3 + 2 valores)

Pretende-se projectar um contador síncrono, com 3 bits, que contará em módulo 6, utilizando os estados de contagem 0, 1, 2, 3, 4 e 5 (em decimal), sendo o estado 0 o estado inicial de contagem e dispondo de uma entrada M que quando a 0 indica uma contagem ascendente estado a estado e quando a 1 indica uma contagem ascendente de quatro em quatro. Nota: As saídas do contador coincidem com a codificação das variáveis de estado.

- a) Apresente tabela de transição de estados codificados.
- b) Utilizando um flip-flop D para o bit mais significativo, outro do tipo T para o segundo bit e outro do tipo JK para o bit menos significativo, apresente as tabelas das entradas D, T, J e K, mapas de Karnaugh associados e expressões simplificadas (não é necessário apresentar o esquema lógico).
- c) Suponha que desejava que o contador iniciasse a sua contagem no estado correspondente à saída 3. Descreva as alterações que necessitaria de introduzir no sistema.

Q4 (2,5 valores)

Pretende-se desenvolver um sistema para detectar a sequência 10^+10^*1 , em que t^* significa zero ou mais que zero ocorrências do símbolo t à sua esquerda e t^+ significa uma ou mais ocorrências do símbolo t à sua esquerda (por exemplo, 0^* representa uma sequência com zero, um ou mais 0s, enquanto que 1^+ representa uma sequência de um ou mais 1s). A saída Z deve tomar o valor 1 quando a sequência é detectada. Apresente um diagrama de estados para o detector de sequência descrito.