



Licenciaturas em Eng. Informática, Biomédica e Física

Disciplina de Sistemas Lógicos - exame normal – 2004-6-30 - 17h

Duração: 2h00mn Tolerância: 15mn Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas;

Responda em folhas separadas aos vários grupos de questões

Q1 (1 + 1,5 valores)

- Prove recorrendo a tabela de verdade se $\overline{a}b + ac = \overline{(a+c)} \cdot (a+b)$
- Simplifique algebricamente a expressão $b(\overline{a} + ab)$ referindo os teoremas utilizados e representando através da lista de mintermos..

Q2 (2 + 2 valores)

- Pretende-se realizar um bloco que implemente a operação aritmética $a - b - c$, em que a, b e c são números de um bit cada. Determine o número de bits necessários para representar a saída em complemento para 2 e apresente a tabela de verdade associada.
- Considere a função $f(A, B, C, D) = \sum (2,3,9,11,12,13) + d(0,1)$. Obtenha a expressão simplificada da função f através do método de Quine-McCluskey. Nota: Considere a ordenação A,B,C,D como sendo do mais significativo para o menos significativo.

Q3 (1,5 + 3 + 1,5 valores)

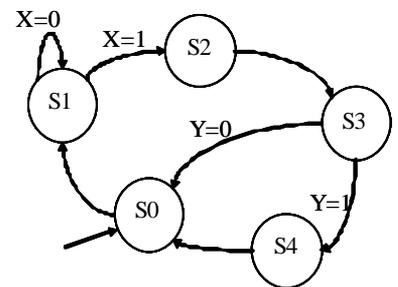
Pretende-se projectar um contador síncrono, com 3 bits, que deverá contar em módulo 5 de acordo com a seguinte sequência (em decimal): 0 2 3 5 7. As saídas coincidem com as variáveis de estado.

- Apresente tabela de transição de estados e codificação de estados proposta.
- Utilizando um flip-flop do tipo JK para o bit menos significativo e flip-flops D's para os restantes bits de contagem, apresente as tabelas das entradas JK e Ds, mapas de Karnaugh associados e expressões simplificadas (não é necessário apresentar o esquema lógico).
- Considere que a entrada J do flip-flop se encontra sempre a 0 (e o restante circuito funciona como esperado). Tendo por base a resolução da alínea anterior, diga, justificadamente, qual o estado para que evolui o contador, a partir do momento em que o sistema se encontra no estado 7 (111).

Q4 (3 + 1,5 valores)

Pretende-se desenvolver um sistema para detectar a sequência 1^+0^*1 , em que + significa uma ou mais ocorrências do símbolo à sua esquerda (por exemplo, 1^+ representa uma sequência com um ou mais 1s) e * significa zero, uma ou mais ocorrências do símbolo à sua esquerda (por exemplo, 0^* representa uma sequência com zero, um ou mais 0s). A saída Z deve tomar o valor 1 quando a sequência é detectada.

- Apresente um diagrama de estados para o detector de sequência referido.
- Considere o diagrama de estados apresentado na figura. Codifique os estados em código binário natural, i.e. S0=000, S1=001, ... e apresente a tabela de transição de estados resultante.



Q5 (1,5 + 1,5 valores)

Considere a seguinte tabela de fluxo de estados de um circuito assíncrono (de que não é fornecida informação adicional).

- Codifique os estados, referindo o critério utilizado para essa codificação.
- Obtenha a tabela de fluxo de estados minimizada.

X	0	1
a	a/1	b/-
b	d/-	b/0
c	c/0	e/-
d	d/0	c/-
e	c/-	e/1